**实验报告**

实验题目：实验3 \_序列检测器设计

姓名：李霄奕 学号：PB21511897

1. 实验内容

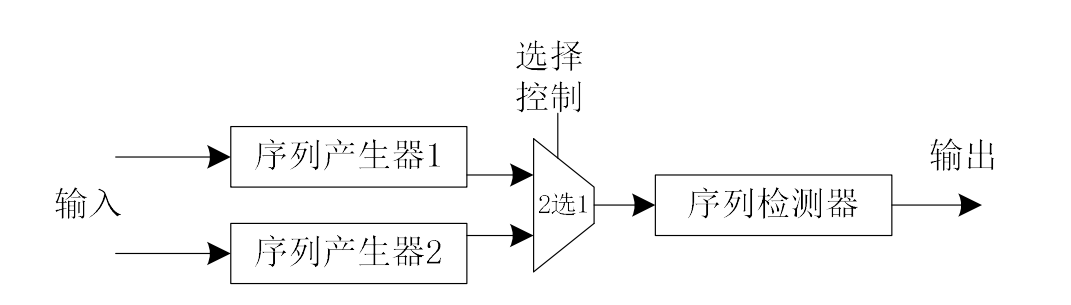
利用状态机的原型，设计出信号发生器、信号检测器，从而能够对相应数字信号进行处理。

1. 设计分析

主要模块有：

1. 主模块
2. 分频器模块
3. 序列产生模块X2
4. 选择序列输出模块
5. 序列检测模块

因此，主要的编程思路为：利用自带的50M时钟先进行分频产生合适的时钟信号，时钟信号驱动序列产生模块、序列检测模块进行状态机的转换，同时输入一个序号对两个不同的信号选择输出。



1. Verilog源代码

见文件夹

/\*主模块\*/

module exp03\_lxy(sys\_clk,reset,sel,detector\_out);

/\*分频器\*/

module devender(sys\_clk,clk);

/\*产生序列1\*/

module seq\_gen1(clk,reset,seq);

/\*产生序列2\*/

module seq\_gen2(clk,reset,seq);

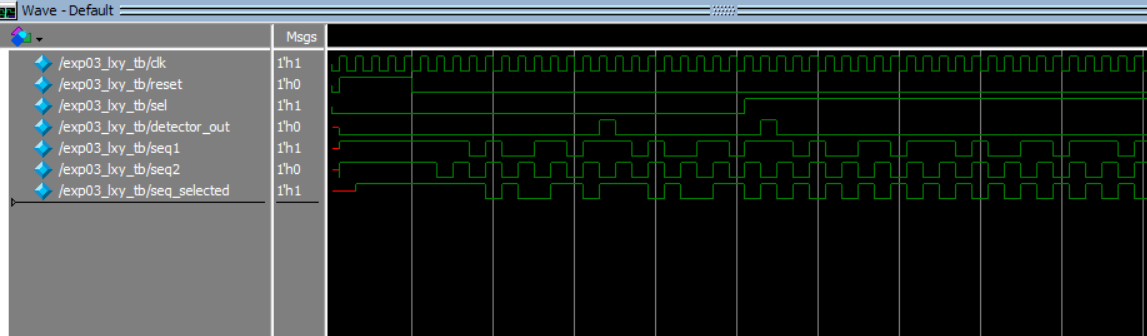
/\*选择序列输出\*/

module seq\_sel(clk,sel,seq0,seq1,seq\_out);

/\*检测序列\*/

module seq\_detector(clk,reset,seq\_in,detector\_out);

1. 仿真结果



**！注意：选择输出的信号比原信号延迟1个周期，所以信号选择器没有问题！**

/\*产生时钟信号\*/

always @(\*) begin

#1 clk<=~clk;

end

/\*设定初始状态\*/

initial begin

clk<=0;

reset<=0;

sel<=0;

end

/\*选择信号开始测试\*/

initial begin

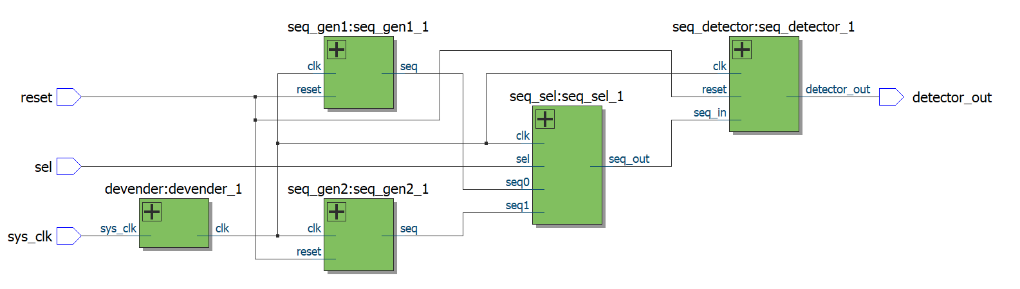
#1 reset=1;

#9 reset=0;

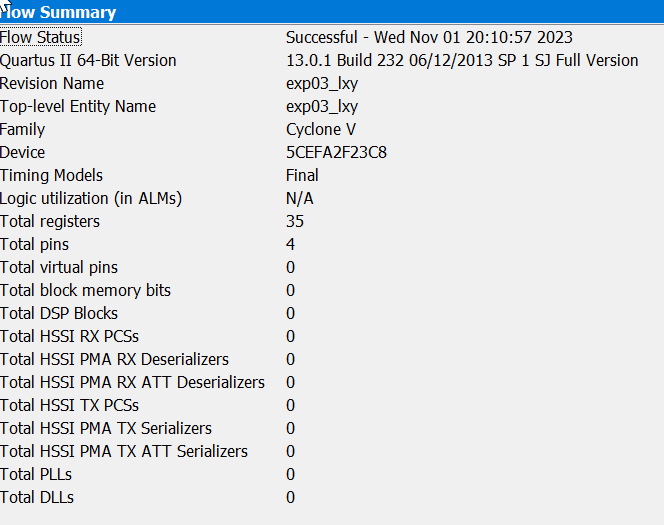
#41 sel=1;

end

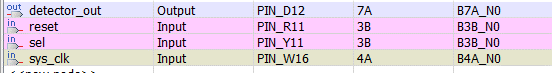
1. RTL电路模块



1. 资源占用情况

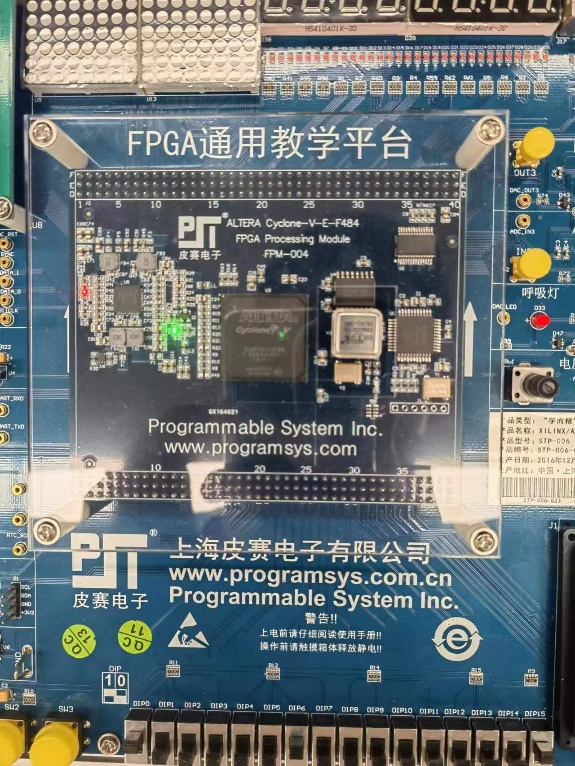


1. 管脚锁定情况



1. 验证结果

DIP0高电平，reset状态，灯灭



DIP0低电平，reset关闭，DIP1低电平，选择seq1，序列正确，灯亮



DIP1高电平，选择seq2，序列错误，灯灭



1. 实验总结

本实验学习了：

1、 熟悉并掌握状态机的原理与设计；

2、熟悉并掌握信号发生器的原理与设计；

3、熟悉并掌握序列检测器的原理与设计；

4、熟悉并掌握 Verilog 中模块例化设计方法；

5、进一步掌握 Altera FPGA 设计的流程和步骤。 本次实验没有遇见大问题，这说明了Verilog 中模块例化设计的重要性，